



Karlsruher Institut für Technologie
Institut für Technische Informatik
Prof. Dr. Wolfgang Karl

Klausur Rechnerstrukturen
Sommersemester 2013 – 7. Aug. 2013
Aufgabenteil

Aufgabe 1: Fehlertoleranz & Ausfallverhalten

11P

Fehlertoleranz

8P

Eine Raumsonde wird mit zwei Mikrocontrollern M_1 und M_2 ausgestattet, von denen jeweils nur einer zum Betrieb der Sonde notwendig ist. Die Kommunikation mit der Sonde wird über je eine Empfangseinheit RX und eine Sendeeinheit TX abgewickelt, von denen beide zum korrekten Betrieb der Sonde notwendig sind.

- Zeichnen Sie das Zuverlässigkeitsblockdiagramm der Raumsonde. 1P
- Ermitteln Sie die Systemfunktion S der Raumsonde. 1P
- Geben Sie die Formel zur Berechnung der Funktionswahrscheinlichkeit des Gesamtsystems $\varphi(S)$ an, wenn für eine beliebige Komponente K die Funktionswahrscheinlichkeit $\varphi(K)$ beträgt. Nehmen Sie dafür an, dass beide Mikrocontroller dieselbe Funktionswahrscheinlichkeit besitzen. 1P

Da auf einer Flugroute der Sonde erhöhte Strahlungswerte auftreten könnten, wird überlegt, das Rechensystem in ein 2-aus-3-System oder ein 3-aus-5-System mit Mehrheitsentscheider V umzuwandeln. Alle Mikrocontroller bekommen dann die gleichen Eingabewerte und rechnen mit diesen vollkommen unabhängig voneinander. Ein x -aus- y -System arbeitet korrekt, wenn mindestens x von y Rechensystemen ein Ergebnis an den Mehrheitsentscheider übermitteln und dieser entscheidet.

- Zeichnen Sie das Zuverlässigkeitsblockdiagramm der Sonde inklusive des Mehrheitsentscheiders V , wenn für die Mikrocontroller M_1 , M_2 und M_3 ein 2-aus-3-System verwendet wird. 2P
- Beschriften Sie das auf den Lösungsblättern angegebene Diagramm, das die Funktionswahrscheinlichkeit über die Zeit zeigt, indem Sie das 2-aus-3- und das 3-aus-5-System ihrer jeweiligen Kurve zuordnen. Begründen Sie, wie es zu diesem Verhalten kommt. 2P
- Welches System würden Sie in diesem Beispiel wählen, wenn die Sonde nur 6 Jahre lang möglichst sicher betrieben werden soll? Begründen Sie Ihre Entscheidung. 1P

Ausfallverhalten

3P

Die durchschnittliche Ausfallwahrscheinlichkeit eines Geräts ist nicht konstant, sondern verändert sich über die Zeit.

- Zeichnen Sie schematisch ein Diagramm, das den typischen Verlauf der Ausfallwahrscheinlichkeit eines Geräts über die Zeit darstellt, und benennen Sie die drei wesentlichen Phasen. 1P
- Beschreiben Sie bei Phasen mit einer hohen Ausfallwahrscheinlichkeit kurz die dafür verantwortlichen Gründe. 2P

Aufgabe 2: Low-Power-Entwurf & Rechnerbewertung 10P

Low-Power-Entwurf 5P

Die Kernspannung von Prozessoren ist seit den 90er Jahren von 3,2V auf 0,8V gesenkt worden. Im gleichen Zeitraum stieg die Frequenz von 100MHz auf 4GHz.

- a) Was bedeutet dies für die aufgenommene elektrische Leistung? 1P

Die folgende logische Funktion soll implementiert werden: $\neg A \vee \neg B$.

- b) Zeichnen Sie die Schaltbilder zweier Möglichkeiten, die sich zur Realisierung der Schaltung eignen. 1P
- c) Berechnen Sie die Signalwahrscheinlichkeiten der beiden Schaltungen basierend auf dem statistischen Modell. Die Eingangswahrscheinlichkeiten seien hierfür $\mathbb{P}_A(1) = 1/3$ und $\mathbb{P}_B(1) = 1/2$. 1P
- d) Geben Sie die allgemeine Formel zur Berechnung der Schaltwahrscheinlichkeit \mathbb{P}_{Schalt} eines Gatters an. Berechnen Sie die Schaltwahrscheinlichkeiten der einzelnen Komponenten sowie einer Gesamtschaltung. Hinweis: Es ist $\mathbb{P}(A \cup B) = \mathbb{P}(A) + \mathbb{P}(B) - \mathbb{P}(A \cap B)$. 2P

Leistungsbewertung 5P

Prozessor A arbeite ein Problem in 2ms ab. Er habe einen CPI-Wert von 12/7 und benötige 3.500.000 Instruktionen für die Abarbeitung der Problemstellung. Prozessor B arbeite dieses Problem ebenfalls in 2ms ab. Er benötige 500.000 Spezialinstruktionen mit einem CPI-Wert von 9 und 1.000.000 weitere Instruktionen mit einem CPI-Wert von 2.

- e) Welcher Prozessor ist für dieses Problem zu wählen und warum? 1P

Ein Betriebssystem stelle FIFO-basierte Warteschlangen zur Verfügung. Mit einem Monitor wurde im Betrieb hierzu ermittelt, dass die Warteschlange Q1 von Festplatte 1 drei Aufträge umfasst und Q2 von Festplatte 2 sechs Aufträge. Die Ankunftsrate sei $A = 60/s$, die Schreib-/Leseaufträge durchschnittlich 100kB groß.

Festplatte 1: Zugriffszeit 8ms, Datenrate 25MByte/s

Festplatte 2: Zugriffszeit 12ms, Datenrate 50MByte/s

- f) Wie groß sind die Durchsätze D_i der einzelnen Festplatten für die angegebenen Größen? 1P
- g) Welche Festplatten sind anhand der Berechnung im System einsetzbar? 1P
- h) Berechnen Sie jeweils die Zeit W_i der Aufträge in den Warteschlangen. Welches Gesetz wenden Sie zur Berechnung an und wie lautet es genau? 1P
- i) Berechnen Sie die jeweiligen Reaktionszeiten des Gesamtsystems aus Warteschlange und Festplatte. 1P

Aufgabe 3: Speicherhierarchie

10P

Cache-Kohärenzprotokoll MESI

7P

Ein Zweiprozessorsystem sei speichergekoppelt. Die Caches haben je eine Größe von drei Cache-Zeilen, welche je genau ein Speicherwort aufnehmen können. Die Füllung des Caches erfolgt von der niedrigsten Cache-Zeile aufwärts, sofern noch freie Zeilen zur Verfügung stehen, andernfalls wird gemäß LRU-Strategie verdrängt. Als Cache-Kohärenzprotokoll komme MESI zum Einsatz.

- Vervollständigen Sie die auf dem Lösungsblatt angegebene Tabelle: Geben Sie jeweils Inhalt der Cache-Zeile und MESI-Zustand an. 4P
- Auf welchem Konzept basiert das MESI-Kohärenzprotokoll und was ist hierfür die technische Grundvoraussetzung? 1P
- Um einen Prozessor in einem bestehenden SMP-System mit MESI-Kohärenzprotokoll einsetzen zu können, müssen der Cache sowie der Cache-Controller des Prozessors zusätzliche Voraussetzungen erfüllen. Nennen Sie zwei der notwendigen Eigenschaften. 2P

Cache-Leistung

3P

In einem Rechensystem komme eine zweistufige Cache-Hierarchie zum Einsatz. Das System habe einen L1-Cache mit einer Zugriffszeit von $t_{L1} = 4ns$ und einen größeren L2-Cache mit einer Zugriffszeit von $t_{L2} = 16ns$. Die Zugriffszeit des Hauptspeichers betrage $t_{Mem} = 120ns$. Der Zugriff auf die nächste Hierarchieebene findet erst dann statt, wenn die vorherige Ebene das angeforderte Datum nicht gespeichert hat.

- Geben Sie eine allgemeine Formel zur Berechnung t_a der mittleren Zugriffszeit bei einer zweistufigen Cache-Hierarchie an. 1P
- Bei einer Evaluation wurden folgende Hit-Raten gemessen: 2P
 - $r_{L1} = 70\%$
 - $r_{L2} = 87,5\% = \frac{7}{8}$

Wie groß ist die durchschnittliche Zugriffszeit auf die benötigten Daten?

Aufgabe 4: Fertigung und Hardwareentwurf

11P

Fertigungskosten

5P

Nehmen Sie an, ein Hersteller hätte ein neuartiges Verfahren entwickelt, einen rechteckigen Wafer herzustellen. Sie wurden nun damit beauftragt zu berechnen, wieviel dieser Wafer maximal kosten darf, um Dies herzustellen, die günstiger sind als Dies von kreisförmigen Wafeln.

Auf den herkömmlichen, kreisförmigen Wafer passen 400 Dies, der Die-Yield beträgt 0,5 und die Kosten belaufen sich auf 1000 Euro. Mit dem neuen Verfahren passen nun 600 Dies auf den Wafer, während der Die-Yield allerdings auf 0,2 sinkt.

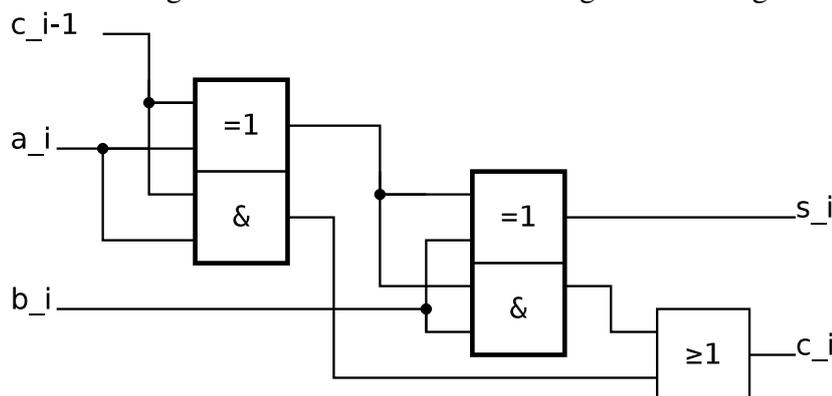
- Welche Formel verwenden Sie? Begründen Sie, für welches Verfahren Sie sich entscheiden würden, wenn ein rechteckiger Wafer 1100 Euro kostet und keine Kosten für die Umstellung auftreten. Geben Sie den vollständigen Rechenweg an. 3P
- Wie lautet die Formel zur Berechnung der Anzahl Dies pro Wafer? Erklären Sie deren Bestandteile kurz. Geben Sie die Bedeutung der einzelnen Variablen eindeutig an! 1,5P
- Können beliebige rechteckige Flächen vollständig genutzt werden? Falls nein, wieso? 0,5P

Hardwareentwurf

6P

- Welches Konstrukt bietet VHDL dazu an, die Schnittstellen von Instanzen miteinander und auch mit der Schnittstelle der äußeren Hülle (Entity) zu verbinden? 1P
- Geben Sie eine andere Version des dargestellten Quelltextes in VHDL an: 1P
`c <= not a when a=b else '0';`
- Fertigen Sie eine vollständige VHDL-Beschreibung der folgenden abgebildeten Schaltung an. Es ist eine geeignete Partitionierung mit einer weiteren Unterkomponente zu wählen. 4P

Hinweis: Überlegen Sie sich vorher die Aufgabe der abgebildeten Schaltung.



Aufgabe 5: Parallelverarbeitung und Architekturen 9P

Quantitative Maßzahlen 5P

Sie sollen ein geeignetes Rechensystem und eine Anwendungsimplementierung wählen, um Sequenzvergleiche möglichst schnell durchführen zu können.

Auf Architektur A sind 80% der Anwendung mit den 16 verfügbaren Kernen parallel ausführbar. Die Anwendungslaufzeit beträgt bei sequentieller Ausführung 2 Minuten.

Auf Architektur B stehen Ihnen 24 Kerne zur Verfügung, von der architekturangepassten Implementierung der Anwendung sind jedoch nur 72% parallelisierbar. Die Anwendungslaufzeit beträgt bei sequentieller Ausführung 1 Minute, 40 Sekunden.

- a) Geben Sie die Formeln für die Beschleunigung $S(n)$, die Effizienz $E(n)$ sowie den Parallelindex $I(n)$ und die Auslastung $U(n)$ an. 2P
- b) Nach welcher Formel können Sie die maximal erzielbare Beschleunigung eines Programms errechnen? Leiten Sie die Formel her und geben Sie dazu Namen, Formel und Bestandteile an. 2P
- c) Welche Architektur wählen Sie aus? 1P

Parallele Architekturen und Parallelisierung 4P

- d) Wofür stehen die Abkürzungen NORMA, NUMA sowie UMA? 1,5P
- e) Nennen Sie jeweils ein Beispiel für ein Programmiermodell für Systeme mit gemeinsamem Speicher und verteiltem Speicher. 1P
- f) Geben Sie die Klassifizierung von Rechensystemen nach M. Flynn an. 1P
- g) In welche Klasse bei der Klassifikation von Rechensystemen nach Flynn fallen Systeme, auf denen MPI-Programme ausgeführt werden? 0,5P

Aufgabe 6: Parallelismus auf Befehlsebene

9P

VLIW

4P

Es stehen zwei VLIW-Prozessorsysteme zur Auswahl. Das System A hat 2 universell einsetzbare Funktionseinheiten und eine VLIW-Breite von nur 2 Befehlen. Das System B kostet 10% mehr, hat dafür aber drei spezifische Funktionseinheiten, wobei eine für Integer-Operationen, eine für Gleitkommaoperationen und die letzte für Speicherzugriffsoperationen ist. System B kann somit drei Befehle innerhalb eines Worts zur Verfügung stellen. Der unten abgebildete Programmcode soll als Referenz für die Kaufentscheidung gelten. Nehmen Sie vereinfachend an, dass alle Befehle innerhalb eines Taktzyklus' abgearbeitet werden können.

```

1  add r1, r2, r3    ; r1 = r2 + r3
2  ld f1, [r2]      ; load f1 from mem[r2]
3  sub r5, r3, r2    ; r5 = r3 - r2
4  fpdiv f3, f1, r5 ; f3 = f1 / r5
5  st [r5], r1      ; store r1 to mem[r5]
6  ld r6, [r3]      ; load r6 from mem[r3]
7  mul r4, r1, r6    ; r4 = r1 * r6
8  fpadd f5, f3, f1 ; f5 = f3 + f1

```

Assemblercode als Referenzcode zur Bewertung von VLIW-Prozessoren

- a) Für welches System würden Sie sich entscheiden? Füllen Sie dazu die vorgefertigten Tabellen auf dem Lösungsblatt möglichst kompakt aus. 4P

Superskalartechnik – Algorithmus von Tomasulo

5P

- b) Untenstehend finden Sie den Zustand der Reservierungstabelle und der Registerdatei eines Superskalarprozessors nach Abarbeitung des 21. Takts der in Listing 1 dargestellten Befehlsfolge. Geben Sie den Zustand der Reservierungstabelle sowie der Registerdatei nach Ablauf von Takt 25, d.h. nach vier weiteren Takten, unter Berücksichtigung der in Listing 1 dargestellten Befehlsfolge wieder. 5P

Der Prozessor verfügt über 1 Mul-/Div-Einheit und 2 Add-/Sub-Einheiten. Eine Multiplikation benötigt 4 Takte, eine Division 8 Takte und alle anderen Operationen 2 Takte. Die Mul-/Div-Einheit hat eine Reservierungstabelle mit 2 Einträgen, die der Add-/Sub-Einheiten ebenfalls je 2. Pro Takt kann ein Befehl in die Reservierungstabelle eingetragen werden.

Hinweis: Befehl 4 hat im 19. Takt mit der Ausführung begonnen und hat gerade im 21. Takt seinen errechneten Wert zurückgeschrieben.

#	Befehlsfolge	Issue	Execute	Write Result
1	mul r2, r1, r1	1	2	6
2	div r4, r4, r2	2	7	15
3	add r1, r4, r4	3	16	18
4	add r2, r4, r3	4	19	21
5	div r1, r2, r3	7		
6	sub r4, r4, r2	8		
7	add r3, r1, r2	9		
8	mul r1, r2, r3	16		
9	add r3, r3, r3	19		
10	sub r4, r4, r1			

Listing 1

(Format: Opcode Ziel, Quelle 1, Quelle 2)

Feld	R1	R2	R3	R4	R5	R6	R7	R8	R9	R10
Value	(R4+R4)	(R1*R1)	(R3)	(R4/R2)	(R4+R3)	-	-	-	-	-
Valid	1	1	0	1	1	0	0	0	0	-
RS	-	-	AS2	-	(AS2)	MD1	AS1	MD1	AS1	-

Registerdatei nach Takt 21

Unit	Empty	InFU	Op	Dest	Src1	Vld1	RS1	Src2	Vld2	RS2
Add/Sub 1	0	0	add9	R9	R3	0	AS2	R3	0	AS2
	0	0	sub6	R7	(R4)	1	-	(R5)	1	(AS2)
Add/Sub 2	1	0	add4	R5	(R4)	1	-	(R3)	1	-
	0	0	add7	R3	R6	0	MD1	(R5)	1	(AS2)
Mul/Div 1	0	0	div5	R6	(R5)	1	(AS2)	(R3)	1	-
	0	0	mul8	R8	(R5)	1	(AS2)	R3	0	AS2

Reservierungstabelle nach Takt 21



Karlsruher Institut für Technologie
Institut für Technische Informatik
Prof. Dr. Wolfgang Karl

Klausur Rechnerstrukturen

Sommersemester 2013 – 7. Aug. 2013

Lösungsteil

Name: _____

Vorname: _____

Matrikelnummer: _____

Tragen Sie bitte auf jedem Blatt Ihren Namen und Ihre Matrikelnummer ein. Bitte tragen Sie alle Lösungen und Rechenwege an den vorgesehen Stellen ein und geben Sie keine zusätzlichen Blätter ab, ohne dies dem Aufsichtspersonal mitzuteilen.

Hinweis: Bei Rechenaufgaben ist die Angabe des Rechenwegs zwingend erforderlich. Ergebnisse ohne Rechenweg werden **nicht** gewertet.

Zum Bestehen der Klausur sind mindestens 20 Punkte erforderlich.

- () Ich wünsche **keine** Notenveröffentlichung per Aushang (Matrikelnummer und Note) am schwarzen Brett
(Bei Ankreuzen kann die Note erst in der Klausureinsicht erfragt werden.)

Erreichte Punkte (wird vom Institut ausgefüllt):

Aufgabe	1	2	3	4	5	6
Punkte	/11	/10	/10	/11	/9	/9
Summe:						/60

Lösung 1: Fehlertoleranz & Ausfallverhalten**11P****Fehlertoleranz****8P**

a) Zuverlässigkeitsblockdiagramm:

1P

b) Systemfunktion:

1P

c) Formel:

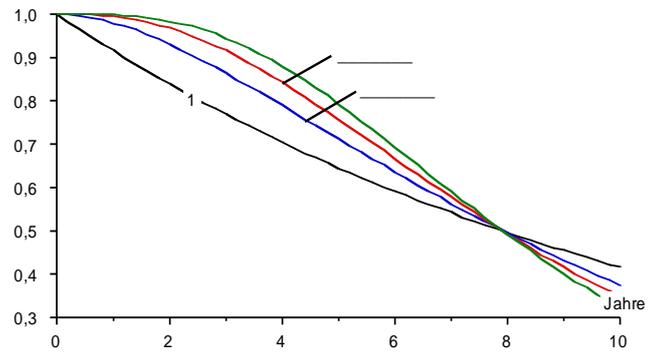
1P

d) Zuverlässigkeitsblockdiagramm:

2P

e)

2P



Begründung:

f) Begründung:

1P

Ausfallverhalten**3P**

g) Antwort:

1P

h) Antwort:

2P

Lösung 2: Low-Power-Entwurf & Rechnerbewertung **10P****Low-Power-Entwurf** **5P**a) Veränderung der Leistungsaufnahme: *1P*b) Schaltbilder: *1P*c) Signalwahrscheinlichkeiten: *1P*

Name:

Matrikelnummer:

5/15

d) Formel für die Schaltwahrscheinlichkeit:

2P

Berechnung der Schaltwahrscheinlichkeiten:

Leistungsbewertung

5P

e) Prozessorwahl:

1P

f) Durchsätze D_i :

1P

D_1 :

D_2 :

g) Einsetzbare Festplatten:

1P

h) Name des Gesetzes:

1P

Formel:

Zeit W :

i) Reaktionszeiten:

1P

Lösung 3: Speicherhierarchie**10P****Cache-Kohärenzprotokoll MESI****7P**

a)

4P

Prozessor	Aktion	Prozessor 1			Prozessor 2		
		Line 1	Line 2	Line 3	Line 1	Line 2	Line 3
1	rd 6						
2	rd 2						
1	wr 6						
1	wr 4						
2	rd 3						
1	rd 5						
2	rd 6						
2	wr 5						

b) Antwort:

1P

c) Antwort:

2P

•

•

Cache-Leistung

3P

d) Formel:

1P

e) Durchschnittliche Zugriffszeit:

2P

Lösung 4: Fertigung und Hardwareentwurf**11P****Fertigungskosten****5P**

a)

3P

- Formel:

- Rechnung und Antwort:

- Begründung:

b) Formel:

1,5P

Name:

Matrikelnummer:

10/15

c) Antwort:

0,5P

Hardwareentwurf

6P

d) Mittel zur Verbindung:

1P

e) Andere Version:

1P

f) VHDL-Beschreibung:

4P

```
library ieee;
use ieee.std_logic_misc.all;

entity _____ is
  port (
    _____ : in _____;

    _____ : out _____
  );
end entity;

architecture _____ of _____ is

  component _____ is
    port (
      _____ : in _____;

      _____ : out _____
    );
  end component;

  signal _____ : _____;

begin

  .

  .

  .

end architecture;
```

Lösung 5: Parallelverarbeitung und Architekturen**9P****Quantitative Maßzahlen****5P**

a)

2P

b) Herleitung:

2P

Name:

Formel:

Bestandteile:

Max. erzielbare Beschleunigung:

c) Architekturauswahl:

1P

Parallele Architekturen und Parallelisierung**4P**

d)

1,5P

- NORMA:
- NUMA:
- UMA:

e)

1P

-
-

f) Klassifizierung:

1P

g)

0,5P

Lösung 6: Parallelismus auf Befehlsebene

9P

a) VLIW-Prozessoren:

4P

Slot 1	Slot 2

System A

Integer	Gleitkomma	Load/Store

System B

Name:

Matrikelnummer:

15/15

b)

5P

Feld	R1	R2	R3	R4	R5	R6	R7	R8	R9	R10
Value										
Valid										
RS										

Registerdatei nach Takt 25

Unit	Empty	InFU	Op	Dest	Src1	Vld1	RS1	Src2	Vld2	RS2
Add/Sub 1										
Add/Sub 2										
Mul/Div 1										

Reservierungstabelle nach Takt 25